

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09216416 A**

(43) Date of publication of application: 19 . 08 . 97

(51) Int. Cl. **B41J 2/44**
B41J 2/45
B41J 2/455
H01L 27/10
H01L 27/15
H01L 29/74
H01L 33/00
H04N 5/66

(21) Application number: 08137804

(22) Date of filing: 31 . 05 . 96

(62) Division of application: 63065392

(71) Applicant: **NIPPON SHEET GLASS CO LTD**

(72) Inventor: **KUSUDA YUKIHISA**
TONE KIYOSHI
YAMASHITA KEN
TANAKA SHUHEI

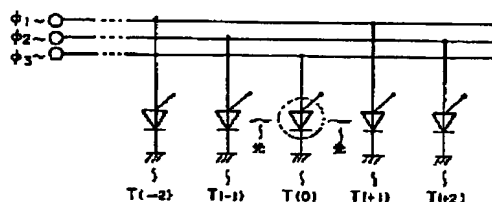
**(54) SELF-SCANNING LUMINESCENT ELEMENT
ARRAY AND DRIVING METHOD THEREOF**

(57) Abstract:

PROBLEM TO BE SOLVED: To obviate the need of a driving IC by incorporating a self-scanning function into a luminescent element array.

SOLUTION: Luminescent thyristors $T_{(-2)}-T_{(+2)}$ are arranged in a row. Three transfer clock lines (ϕ_1 , ϕ_2 , and ϕ_3) are connected to anode electrodes of luminescent simple elements at intervals of three elements. The luminescent thyristor has such a characteristic that its turn-on voltage drops when the luminescent thyristor senses a light. When the luminescent thyristors are arranged so that the luminescence from one element enters another one, the turn-on voltages of the elements, that are located near the illuminating elements or arranged so that they are well exposed to light, drop. The illuminating state can, therefore, be transferred by selecting voltages to the clock lines.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-216416

(43) 公開日 平成9年(1997)8月19日

(51) Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
B 4 1 J	2/44		B 4 1 J 3/21	
	2/45		H 0 1 L 27/10	
	2/455		27/15	
H 0 1 L	27/10	4 5 1	33/00	
	27/15		H 0 4 N 5/66	
				1 0 3
審査請求 有 請求項の数 8 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平8-137804
 (62) 分割の表示 特願昭63-65392の分割
 (22) 出願日 昭和63年(1988)3月18日

(71) 出願人 000004008
 日本板硝子株式会社
 大阪府大阪市中央区道修町3丁目5番11号
 (72) 発明者 楠田 幸久
 大阪府大阪市中央区道修町3丁目5番11号
 日本板硝子株式会社内
 (72) 発明者 刀根 潔
 大阪府大阪市中央区道修町3丁目5番11号
 日本板硝子株式会社内
 (72) 発明者 山下 建
 大阪府大阪市中央区道修町3丁目5番11号
 日本板硝子株式会社内
 (74) 代理人 弁理士 岩佐 義幸

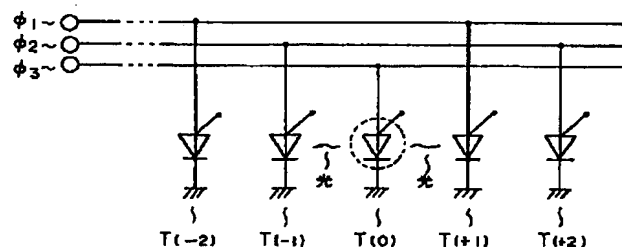
最終頁に続く

(54) 【発明の名称】 自己走査形発光素子アレイおよびその駆動方法

(57) 【要約】

【課題】 発光素子アレイ自身に自己走査機能をもたせることにより、ワイヤボンディングの数の問題、駆動 I C の問題、コンパクト化、短ピッチ化の問題を解決する。

【解決手段】 発光サイリスタ $T_{(-2)} \sim T_{(+2)}$ は、一列に並べられた構成となっている。各単体発光素子のアノード電極に3本の転送クロックライン (ϕ_1 、 ϕ_2 、 ϕ_3) がそれぞれ3素子おきに接続される。発光サイリスタは光を感じてそのターンオン電圧が低下する特性を持つ。発光サイリスタをその発光が互いの素子に入射するよう構成すると、発光素子に距離的に近い素子、または光がよくあたるように配置された素子はそのターンオン電圧が下がることになる。クロックラインへの電圧を選ぶことにより、発光状態を転送させることができる。



【特許請求の範囲】

【請求項1】発光のためのしきい電圧もしくはしきい電流が外部から光によって制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、各発光素子から発生する光の少なくとも一部が、各発光素子近傍の他の発光素子に入射するように構成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、自己走査形発光素子アレイ。

【請求項2】前記発光素子からの光が、一定方向の隣接発光素子により多く入射するよう構成されてなる請求項1記載の自己走査形発光素子アレイ。

【請求項3】前記発光素子が、P導電形半導体領域およびN導電形半導体領域を複数積層した負性抵抗を有する発光素子である、請求項1または2記載の自己走査形発光素子アレイ。

【請求項4】前記発光素子は、発光サイリスタ、レーザサイリスタ、静電誘導サイリスタ、または電界制御サイリスタである、請求項1または2記載の発光装置。

【請求項5】前記発光素子が、PNPN構造の発光サイリスタである、請求項4記載の自己走査形発光素子アレイ。

【請求項6】同一の基板上に集積されて構成された、請求項1～5のいずれかに記載の自己走査形発光素子アレイ。

【請求項7】発光のためのしきい電圧もしくはしきい電流が外部から光によって制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、各発光素子から発生する光の少なくとも一部が、各発光素子近傍の他の発光素子に入射するように構成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、自己走査形発光素子アレイの駆動方法において、ある発光素子の発光状態が、その発光素子近傍の他の発光素子のしきい電圧もしくはしきい電流を変化させ、発光状態の発光素子によりしきい電圧もしくはしきい電流を変化させられた次駆動発光素子を発光させ、かつ、しきい電圧もしくはしきい電流を変化させられていないかまたは変化させられた量が次駆動発光素子ほどではない、電圧パルスもしくは電流パルスを、前記クロックラインを介して発光素子に印加させ、発光状態を順次転送させる自己走査形発光素子アレイの駆動方法。

【請求項8】発光素子の発光強度を増加させるよう、前記電圧パルスもしくは電流パルスに同期させて電圧および電流を発光素子に印加させる、請求項7記載の自己走査形発光素子アレイの駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、発光素子を同一基

板上に集積した発光素子アレイへの自己走査機能の付与に関するものである。

【0002】

【従来の技術】発光素子の代表的なものとしてLED (Light Emitting Diode) およびLD (Laser Diode) が知られている。

【0003】LEDは化合物半導体 (GaAs、GaP、GaAlAs等) のPNまたはPIN接合を形成し、これに順方向電圧を加えることにより接合内部にキャリアを注入し、その再結合の過程で生じる発光現象を利用するものである。

【0004】またLDはこのLED内部に導波路を設けた構造となっている。あるしきい値電流以上の電流をながすと注入される電子-正孔対が増加し反転分布状態となり、誘導放射による光子の増倍 (利得) が発生し、へき開面などを利用した平行な反射鏡で発生した光が再び活性層に帰還されレーザ発振が起こる。そして導波路の端面からレーザ光が出ていくものである。

【0005】これらLED、LDと同じ発光メカニズムを有する発光素子として発光機能を持つ負性抵抗素子 (発光サイリスタ、レーザサイリスタ等) も知られている。発光サイリスタは先に述べたような化合物半導体でPNPN構造を作るものであり、シリコンではサイリスタとして実用化されている (青木昌治編著、「発光ダイオード」工業調査会、pp167～169参照)。

【0006】この発光機能を持つ負性抵抗素子 (ここでは発光サイリスタと呼ぶ) の基本構造および電流-電圧特性を図15、図16に示す。図15に示す構造はN形GaAs基板上にPNPN構造を形成したものでサイリスタとまったく同じ構成である。図16も同様にサイリスタとまったく同じS字形負性抵抗を表している。またこの発光サイリスタは外部から光を入射することによりそのしきい電圧が低下することが知られている。

【0007】さらにこの発光サイリスタの中に導波路を設けLDと全く同じ原理でレーザサイリスタを形成する事もできる (田代他、1987年秋応用物理学学会講演、番号18p-ZG-10)。

【0008】これらの様な発光素子、特にLEDは化合物半導体基板上に多数個作られ、切断されて一つずつの発光素子としてパッケージングされ販売されている。また密着イメージセンサ用およびプリンタ用光源としてのLEDは一つのチップ上に複数個のLEDを並べたLEDアレイとして販売されている。

【0009】

【発明が解決しようとする課題】一方、密着形イメージセンサ、LEDプリンタ等では読み取るポイント、書き込むポイントを指定するため、これら発光素子による発光点の走査機能 (光走査機能) が必要であった。

【0010】しかし、これらの従来の発光素子を用いて光走査を行うためには、LEDアレイのなかに作られて

いる一つ一つのLEDをワイヤボンディング等の技術により駆動ICに接続し、このICで一つ一つのLEDを駆動させてやる必要があった。このためLEDの数が多い場合、同数のワイヤボンディングが必要で、かつ、駆動ICも数多く必要となりコストが高くなってしまうという欠点があった。また、駆動ICを設置するスペースを確保することが必要となり、コンパクト化が困難という欠点を誘発していた。またLEDを並べるピッチもワイヤボンディングの技術で定まり、短ピッチ化が難しいという欠点があった。

【0011】本発明の目的は、このような欠点を解消した自己走査形発光素子アレイを提供することにある。

【0012】本発明の他の目的は、自己走査形発光素子アレイの駆動方法を提供することにある。

【0013】

【課題を解決するための手段】本発明は発光素子アレイ自身に自己走査機能をもたせることにより、従来例で挙げたワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決しようとするものである。発光素子アレイが自己走査することにより駆動ICは不必要となり、従ってワイヤボンディングが不要となる。このため先に述べた不具合は解消される。

【0014】本発明は、発光のためのしきい電圧もしくはしきい電流が外部から光によって制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、各発光素子から発生する光の少なくとも一部が、各発光素子近傍の他の発光素子に入射するように構成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、自己走査形発光素子アレイである。

【0015】また本発明は、発光のためのしきい電圧もしくはしきい電流が外部から光によって制御可能な発光素子多数個を、一次元、二次元、もしくは三次元的に配列し、各発光素子から発生する光の少なくとも一部が、各発光素子近傍の他の発光素子に入射するように構成し、各発光素子に、外部から電圧もしくは電流を印加させるクロックラインを接続した、自己走査形発光素子アレイの駆動方法において、ある発光素子の発光状態が、その発光素子近傍の他の発光素子のしきい電圧もしくはしきい電流を変化させ、発光状態の発光素子によりしきい電圧もしくはしきい電流を変化させられた次駆動発光素子を発光させ、かつ、しきい電圧もしくはしきい電流を変化させられていないかまたは変化させられた量が次駆動発光素子ほどではない、電圧パルスもしくは電流パルスを、前記クロックラインを介して発光素子に印加させ、発光状態を順次転送させる自己走査形発光素子アレイの駆動方法である。

【0016】

【発明の実施の形態】

実施例A

<実施例A-1>実施例A-1の自己走査形発光素子アレイの原理の等価回路図を図1に示す。これは発光しきい電圧、電流が外部から制御できる発光素子の一例として、最も標準的な三端子の発光サイリスタを用いた場合を表している。

【0017】発光サイリスタ $T_{(i-2)} \sim T_{(i+2)}$ は、一列に並べられた構成となっている。各単体発光素子のアノード電極に3本の転送クロックライン(ϕ_1 、 ϕ_2 、 ϕ_3)がそれぞれ3素子おきに(繰り返される様に)接続される。従来例にて説明したように発光サイリスタは光を感じてそのターンオン電圧が低下する特性を持つ。発光サイリスタをその発光が互いの素子に入射するように構成すると、発光素子に距離的に近い素子、または光がよくあたるように配置された素子はそのターンオン電圧が下がることになる。

【0018】図1の等価回路図の動作について説明する。今転送クロックライン ϕ_3 にハイレベルパルス電圧が加わっており、発光サイリスタ $T_{(i)}$ がON状態になっているとする。発光サイリスタ $T_{(i)}$ からの発光は隣接する発光サイリスタ $T_{(i-1)}$ 、 $T_{(i+1)}$ に入射し、これらのON電圧を引き下げる。発光サイリスタ $T_{(i-2)}$ 、 $T_{(i+2)}$ は、発光サイリスタ $T_{(i-1)}$ 、 $T_{(i+1)}$ に比べ遠方にあるため入射光は弱く、ON電圧はそれほど低下しない。この状態で、次にクロックライン ϕ_1 にハイレベルパルス電圧を印加する。発光サイリスタ $T_{(i+1)}$ のON電圧は発光サイリスタ $T_{(i-2)}$ のON電圧に比べ光の影響で低下しているため、発光サイリスタ $T_{(i+1)}$ のON電圧と発光サイリスタ $T_{(i-2)}$ のON電圧の間の電圧に、転送クロックのハイレベル電圧を設定すると発光サイリスタ $T_{(i+1)}$ のみONし、発光サイリスタ $T_{(i-2)}$ はONしないようにすることができる。よって発光サイリスタ $T_{(i-1)}$ 、 $T_{(i)}$ が同時にONする状況が生まれる。そしてクロックライン ϕ_3 をローレベル電圧に落とすと、発光サイリスタ $T_{(i)}$ はOFFとなり、発光サイリスタ $T_{(i+1)}$ のみONすることになる。よってON状態の転送が行われたことになる。

【0019】上に述べたような原理から、転送クロック ϕ_1 、 ϕ_2 、 ϕ_3 のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光素子のON状態は順次転送されていく。即ち、発光点が順次転送される。

【0020】本実施例によると、従来ではできなかった自己走査形発光素子アレイを実現することができる。

【0021】<実施例A-2>実施例A-1では自己走査形発光素子アレイの等価回路を示し説明したが、実施例A-2では実施例A-1の発光素子アレイを集積化して作成する場合の構成についての発明を説明するものである。

【0022】本発明の構造概念図を図2に示す。接地されたn形GaAs基板(1)上にp形半導体層(23)、n形半導体層(22)、p形半導体層(21)の

各層を形成する。そしてホトリソグラフィ等およびエッチングにより、各単体発光素子 $T_{(2)} \sim T_{(n)}$ に分離する。電極(40)はp形半導体層(21)とオーミック接触をしており、絶縁層(30)は素子と配線との短絡を防ぎ、同時に特性劣化を防ぐための保護膜として作用する。ここで、絶縁層(30)には発光サイリスタの発光波長の光が通るような材質を用いている。

【0023】p形半導体層(21)はこのサイリスタのアノードであり、n形GaAs基板(1)はカソードである。各単体発光素子のアノード電極(40)に3本の転送クロックライン(ϕ_1 、 ϕ_2 、 ϕ_3)がそれぞれ3素子おきに接続される。

【0024】発光サイリスタのON電圧が素子に入射する光量に依存して変化することは一般に知られている。従ってON発光サイリスタの光の一部が隣接する発光サイリスタに入射するよう構成されていれば、ON発光サイリスタに近い発光サイリスタのON電圧は、光がない場合に比べ低下する。

【0025】図2の構造では絶縁層(30)が発光波長に対し透明な膜で形成されているため、光は容易に隣接する素子に入りそのON電圧を低下させることができる。

【0026】上記発光素子アレイの動作は、実施例A-1で説明した動作と全く同様である。

【0027】上に述べたような原理から、転送クロック ϕ_1 、 ϕ_2 、 ϕ_3 のハイレベル電圧を順番に互いに少しずつ重なるように設定すれば、発光サイリスタのON状態は順次転送されていく。即ち、発光点が順次転送される。本実施例によると、従来ではできなかった集積化された光結合による自己走査形発光素子アレイを実現することができる。

【0028】<実施例A-3>本実施例は実施例A-2の発光素子アレイの現実的な構造を示したものである。

【0029】本実施例の平面図を図3に、図3のX-X'およびY-Y'ラインの断面図を、各々図4および図5に示す。各発光素子 $T_{(2)} \sim T_{(n)}$ の間には、発光素子の分離溝(50)があり、分離溝(50)の一部には発光素子からの光が両隣りの素子以外の素子に入らないようにするための光障壁(61)が設けられている。

【0030】本実施例では光障壁としてフィールド(60)の突起を用いているが、別の物質を用いてもよいし、また形状も別の形状としてもよい。発光素子の上記電極にはコンタクト穴 C_1 が設けられ、電極(40)と電氣的に接続される。コンタクト穴 C_2 は、電極(40)と転送クロックライン ϕ_1 、 ϕ_2 、 ϕ_3 との接続用スルーホールである。

【0031】転送クロックライン ϕ_1 は発光素子 $T_{(2)}$ および $T_{(n)}$ に接続され、転送クロックライン ϕ_2 は発光素子 $T_{(3)}$ に、転送クロックライン ϕ_3 は発光素子 $T_{(n)}$ に接続されている。

【0032】図4に図3のX-X'ラインの断面図を示す。これは発光素子アレイの配列方向に切ったラインであり、各発光素子が並んでいる様子がわかる。発光素子の分離溝(50)には、発光素子と電極(40)との短絡防止用の絶縁膜(30)、および電極(40)と転送クロックラインとの短絡防止用の層間絶縁膜(31)がある。これらの絶縁膜(30)、(31)は素子間の光結合を妨げぬよう透光性の絶縁膜でできている。または素子間の光結合を調節できるよう適度に光を吸収する絶縁膜を用いてもよい。さらには適度に光を吸収する絶縁膜と透光性の絶縁膜を適度の膜厚を調整し、重ねて用いてもよい。このような構成にすると素子間の光結合が可能となり、転送動作(光走査動作)が行える。

【0033】図5に図3のY-Y'ラインの断面図を示す。これは発光素子アレイの配列方向に垂直に切ったラインであり、配線、電極の接続状況がわかる。発光素子の上部電極との取り出し用コンタクト穴 C_1 を絶縁膜(30)に設け、電極(40)にて外部に取り出す。そしてフィールド上にて転送クロックライン ϕ_3 とスルーホールを通じて接続される。

【0034】本実施例を実現するための製造工程としては次のような工程が挙げられる。

【0035】まずn⁺形GaAs基板にn形GaAs層(24b)、n形AlGaAs層(24a)、p形GaAs層(23)、n形GaAs層(22)、p形AlGaAs層(21b)、p形GaAs層(21a)を順次積層して成膜(エピタキシャル成長)する。次にホトエッチング法を用いて、分離溝(50)を形成する。この後、絶縁膜(30)を成膜し、コンタクト穴(C_1)をホトエッチング法を用いて形成する。次に電極用金属を蒸着法またはスパッタ法にて成膜し、ホトエッチング法を用いて電極(40)を形成する。さらに層間絶縁膜(31)を成膜し、ホトエッチング法を用いてスルーホール(C_2)を形成する。そして配線用金属を蒸着法またはスパッタ法にて成膜し、ホトエッチング法を用いて転送クロックライン(ϕ_1 、 ϕ_2 、 ϕ_3)を形成する。以上の工程により本実施例の構造が完成する。

【0036】本実施例で特に述べなかったが、転送クロックライン上に透光性の保護膜を設けてもよく、また絶縁膜が厚くなり光の透過率が悪化し外部に取り出せる光量が低下するのを嫌うなら、発光素子の上部絶縁膜の一部または全部をホトエッチング法等の方法により除去してもよい。

【0037】本実施例によると集積形自己走査発光素子アレイを製造することができる。

【0038】<実施例A-4>実施例A-2、A-3は発光素子として発光サイリスタを考えた場合の実施例であったが、本発明はこれに限られるものでなく他の種類の発光素子であってもよい。

【0039】その一例として本実施例ではレーザサイリ

スタを使用する場合について述べる。

【0040】図6に発光素子としてレーザサイリスタを使用した場合の断面構成図を示す。各発光素子（レーザサイリスタ） $T_{(i)}$ ～ $T_{(n)}$ は以下の構成で作成される。n形GaAs基板（1）上にn形AlGaAs（25）、p形AlGaAs（24）、I形（ノンドープ）GaAs（23）、n形AlGaAs（22）、p形AlGaAs（21）を順次積層した構造とし、n形AlGaAs（21）、p形AlGaAs（22）の層を図のように加工する。これは通常ストライプ形のレーザダイオードの形状と同じである。このn形AlGaAs（21）およびp形AlGaAs（22）の一部の幅は10μm以下とした。その他の部分は今までの図2～図5と同じである。

【0041】レーザサイリスタの動作として、レーザ発振電流に達するまでは通常の発光サイリスタと同じ動作であり、レーザ発振電流以下の電流成分による発光は等方的に出ていく。レーザ光は図6の紙面に垂直に出ていく。従ってレーザ光は本発明の光結合には寄与せず、レーザ発振電流以下の電流成分による発光のみが光結合に寄与する事になる。これ以外の転送動作の機構は実施例A-2と同じである。

【0042】本実施例によると、自己走査形半導体レーザアレイを構成することができる。

【0043】＜実施例A-5＞図7および図8に本発明の実施例A-5を示す。これは実施例A-4の自己走査形半導体レーザアレイのより現実的な構造を示したものである。図7は平面図を表し、図8は図7のラインX-X'に沿っての断面図を示したものである。本実施例の製造法を概説する。n形GaAs基板（1）上にn形AlGaAs（25）、p形AlGaAs（24）、I形（ノンドープ）GaAs（23）、n形AlGaAs（22）、p形AlGaAs（21）、上部電極（20）を順次積層する（p形AlGaAs（21）と上部電極（20）との間にオーミック接触を良好にするためp形GaAs層を挟む場合もある。）。次にホトエッチングにより上部電極（20）を図中n形AlGaAs層（25）の幅と同じ幅を持つ長方形に加工し、これをマスクとして、p形AlGaAs（21）～n形AlGaAs（25）の層をエッチングする。この時に素子間の分離溝（50）が形成される。次にホトエッチングにより同じ上部電極（20）をさらにエッチングし、10μm以下の幅を持つストライプ状とし、これをマスクとして、p形AlGaAs（21）、n形AlGaAs（22）の層をエッチングする。n形AlGaAs（22）は全部除去せず一部残すようにする。さらに絶縁膜（30）を成膜し、ホトエッチングによりスルーホール（C₂）を形成する。この後、転送クロックライン用の配線金属を蒸着またはスパッタ等により形成し、ホトエッチングにより転送クロックライン（φ₁、φ₂、φ₃）を

形成する。そして最後にへき開等の手法によりレーザ光出力側の端面を平行度よく形成し、本実施例の構造ができあがる。

【0044】従来の集積化された発光素子アレイは、PN接合ダイオードを同一基板上にそれぞれ独立に形成しておき、ワイヤボンディング等を用いて一つ一つ外部に取り出し、駆動用のICで電圧を加え動作させるもので、ワイヤボンディング等の組立が面倒でコストが高くなっていた。これに対し、本発明の自己走査形発光素子アレイは転送クロックの3端子のみを外部に取り出せば良く、組立が相当簡単になる。同時に駆動ICを設けるスペースが不要となり、全体でみてよりコンパクトな自己走査形発光素子アレイを作ることができる。さらに発光素子を並べるピッチが従来はボンディングの技術から定まっていたが、上述の実施例A-1～A-5によるとその規制がなくなり、よりピッチの小さい発光素子アレイを作ることができ、解像度の非常に高い機器に応用が可能である。

【0045】また、上記実施例A-1～A-5では転送クロックパルスとして、φ₁、φ₂、φ₃の3相を想定したが、より安定な転送動作を求める場合にはこれを4相、5相と増加させてもよい。また発光サイリスタ $T_{(n)}$ の発光を発光サイリスタ $T_{(i)}$ より発光サイリスタ $T_{(n)}$ の方へより多く入射させることにより2相のクロックにて動作させることも可能である。

【0046】また上記実施例では発光サイリスタの構造を最も簡単な場合について示したが、発光効率を上げるために、より複雑な構造、層構成を導入することも本発明の範囲に含まれる。その具体的な例としてダブルヘテロ構造の採用が挙げられる。一例を図9に示す（田代他1987年春応用物理学学会講演、番号28p-ZE-8）。これはn形GaAs基板上に（0.5μmの）n形GaAs層を積み、その上にバンドギャップの広いn形AlGaAs（1μm）、p形GaAs層（5nm）、n形GaAs層（1μm）、バンドギャップの広いp形AlGaAs（1μm）、そして取り出し電極とのオーミック接触をとるためのp形GaAs層（0.15μm）積層した構成である。発光層は間に挟まれた、（1μmの）n形GaAs層である。これは注入された電子、正孔がバンドギャップの狭いGaAs層に閉じ込められ、この領域で再結合し発光する。

【0047】発光素子は発光サイリスタである必要はなく、光によって自らのターンオン電圧が変化する発光素子であれば、特に限定されない。上述のレーザサイリスタであってもよい。

【0048】また、上記実施例ではPNPNのサイリスタ構成を例に説明したが、この光によってしきい電圧が低下し、これを利用して転送動作を行わせるという構成は、PNPN構成のみに限られず、その機能が達成できる素子であれば特に限定されない。例えば、PNPN4

層構成でなく、6層以上の構成でも同様な効果を期待でき、全く同様な自己走査機能を達成することが可能である。さらには静電誘導(SI)サイリスタまたは電界制御サイリスタ(FCT)と呼ばれるサイリスタを用いても全く同様である。このSIサイリスタまたはFCTは電流ブロックとして働く中央のp形半導体層を空乏層で置き換えた構造となっている(S. M. Sze著、Physics of Semiconductor Physics, 2nd Edition pp. 238-240)。

【0049】さらに、上記実施例A-1~A-5では、発光素子を一行に並べているが、配列を直線にする必要はなく、応用によって蛇行させてもよいし、途中から二列以上に増やすことも可能である。

【0050】また本発明は、発光素子を単体の個別部品で構成してもよく、またなんらかの方法で集積化することにより実現してもよい。

【0051】尚、本発明の一連の実施例Aは基板として半導体基板を用い、その電位を零ボルト(接地)とした例を示してきたが、本発明はこれに限られず基板として他の物質を用いてもよい。もっとも近い例でいえばクロム(Cr)等をドープした半絶縁性GaAs基板上に実施例のn形GaAs基板に相当するn形GaAs層を形成し、この上に実施例で説明した構造を形成してもよい。また例えばガラス、アルミナ等の絶縁基板上に半導体膜を形成し、この半導体を用いて実施例の構造を形成してもよい。

【0052】尚レーザの構造は本構造に限られるものではなく、例えばTJS形、BH形、CSP形、VSIS形等を用いてももちろんよい(S. M. Sze著、Physics of Semiconductor Physics, 2nd Edition pp. 724-730)。また材料についてもAlGaAsを主体に説明したが、これ以外の材料(例えばAlGaInP、InGaAsP、ZnSe、GaP等)であってもよい。

【0053】また、上記実施例Aにおいては、発光中の発光素子が隣接する発光素子に最もその影響を与え、隣接発光素子が次駆動発光素子となる様に構成していたが、本発明は上記に限らず、例えば1つおきに最もその影響を与えるように構成し、1つおきの発光素子に転送駆動可能とすることもできる。

【0054】実施例B

ここで説明する実施例Bは先に述べた実施例Aにより構成された発光素子アレイの駆動方法に関するものである。

【0055】<実施例B-1>発光素子アレイの駆動方法

実施例B-1の説明図を図10に示す。図10には、駆動原理を表す等価回路図および各端子に印加するパルス波形を示している。

【0056】本実施例は転送クロックパルス ϕ_1 、 ϕ_2 、 ϕ に並列にそれぞれ電流源 I_1 、 I_2 、 I_3 を併置し、その電流量を発光信号 ϕ_1 により制御するように構成したものである。

【0057】動作について説明する。まずスタートパルス ϕ_1 により発光素子 $T_{(0)}$ がONする。そして次々に転送パルス ϕ_1 、 ϕ_2 、 ϕ を印加することにより、ON状態の転送が行われる。この機構については実施例Aによりすでに説明した通りである。

10 【0058】今発光素子 $T_{(0)}$ の位置をより強く発光させたい場合、発光点が $T_{(0)}$ にきた時刻を見計らって発光信号 ϕ_1 をハイレベルとする。この時 ϕ_1 に同期して電流源 I_1 、 I_2 、 I_3 から電流が流れ込む。しかしONしている $T_{(0)}$ のアノードは電流源からの電流を吸い込むが、これ以外の発光素子はOFF状態のため電流を吸い込まず、流れ込んだ電流は転送クロックパルスを出している駆動回路側に流れ出てしまう。従ってONしている発光素子のアノード電流が増加し、発光強度もまた大きくなる。

20 【0059】発光強度Lの図も同時に示したが、電流源からの電流なしの場合の発光強度に対し、発光素子 $T_{(0)}$ の発光強度のみ強くなっている様子がわかる。この駆動方法を用いると任意の場所の発光強度を強くすることができ、場所的な光書き込みが可能となる。

【0060】本実施例の発光素子としてレーザサイリスタを使用した場合、転送クロックによるアノード電流をレーザ発振のしきい電流以下にしておけば、通常転送状態ではレーザ光は出ず、発光信号が出た時のみレーザ光を出せるようにすることができる。

30 【0061】応用例

ここで説明する応用例は先に述べた実施例Aにより構成された発光素子アレイ、および実施例Bで述べたその駆動方法の応用に関するものである。

【0062】<応用例1>密着形イメージセンサへの応用

図11に本発明の第一の応用例である密着形イメージセンサの原理図を示す。これは本発明によって発光点がシフトするという機能が実現でき、それを場所走査に適用した場合に相当する。

40 【0063】図11ではガラス基板上にアモルファスSiによる光センサが形成されている。従来はこの光センサを $100\mu\text{m}$ 程度の画素に分離し、それを読み取り用ICで走査し、取り出す方式をとっていた。そして照明をLEDで均一に行っていた。ここで示す方式はアモルファスSiによる光センサを画素分離せず、代わりに照明の方で走査するものである。

50 【0064】図11ではガラス基板(A1)上に光遮蔽を兼ねた電極(A2)、アモルファスSi(A3)、透明電極(A4)、電極(A5)が形成されている。この構成では光によってアモルファスSi(A3)の電気伝

導率が上昇するため、電極（A2）と電極（A5）との抵抗が光に当たることによって低下する現象を利用して、さてこれらの上に透明保護層（A6）が設けられ、これに密着して原稿（A7）がくる。さて本実施例の発光素子アレイ（A10）はガラス基板（A1）の反対側に設けられ、その光はロッドレンズアレイ（A9）を通し、光センサの中央部に設けられた光を導入するための窓（A8）を通して、原稿（A7）上に結像するように構成されている。

【0065】発光素子アレイ（A10）は本発明に従い、発光点が順次移動する機能を持ち、それに従って、原稿上の結像点も順次移動していく。いま原稿上の文字等による濃淡があると原稿からの反射光もそれに従い変化する。これをアモルファスSiによる光センサで読み取る。

【0066】またこの発光素子アレイとしてレーザサイリスタを用いると、その高い量子効率から光量の多い発光素子アレイを得ることができ、低消費電力または高速の読み出しを行うことができる。

【0067】このようにして本発明による自己走査形発光素子アレイは原稿等の文字、画像の読み取りに応用でき、ファクシミリ、バーコードリーダ、複写機等への幅広い応用が期待できる。

【0068】＜応用例2＞光プリンタおよびディスプレイへの応用

本発明の第2の応用例として光プリンタへの応用について述べる。従来LEDアレイの各画素に駆動用ICを接続したモジュールを使って光プリンタへ応用した例が知られている。光プリンタの原理図を図12に示す。まず円筒形の感光ドラム（B1）の表面にアモルファスSi等の光導電性を持つ材料（感光体）が作られている。このドラムはプリントの速度で回転している。まず帯電器

（B7）で感光体表面を一様に帯電させる。そして発光素子アレイ光プリントヘッド（B8）で印字するドットイメージの光を感光体上に照射し、光の当たったところの帯電を中和する。次に現像器で感光体上の帯電状態に従って、トナーを感光体上に付ける。そして転写器（B2）でカセット（B11）中から送られてきた用紙（B9）上にトナーを転写する。そしてその用紙は定着器（B3）にて熱等を加えられ定着される。一方、転写の終了したドラムは消去ランプ（B5）で帯電が全面に渡って中和され、清掃器（B6）で残ったトナーが除去される。

【0069】さて本発明による自己走査形発光素子アレイを実施例B-1で示した駆動方法で動作させたものを、発光素子アレイ光プリントヘッドに応用する。光プリントヘッドの構造を図13に示す。これは発光素子アレイとロッドレンズアレイで構成されレンズの焦点が感光ドラム上に結ぶようになっている。実施例B-1で示した駆動方法を用いると、本発明の自己走査形発光素子

アレイではON状態が転送しながら光を書き込みたい位置で、発光強度を大きくできるので感光ドラム上に画像情報を書き込むことができる。

【0070】またこの発光素子アレイとしてレーザサイリスタを用いると、その高い量子効率から光量の多い発光素子アレイを得ることができ、低消費電力または高速の書き込み即ちプリントを行うことができる。

【0071】以上より本発明の自己走査形発光素子アレイは光プリンタへも適用可能である。

【0072】この光プリンタ用発光素子アレイは一次元方向に一行に並べた構成であった。このアレイを平面的に並べるとディスプレイを作ることができる。この構成を図14に示す。アレイがN個並んでいるとすると映像信号は ϕ_1 （1）～ ϕ_1 （N）から書き込めばよい。集積化した発光素子アレイを用いれば高密度の表示素子を作ることができるし、単体発光素子を組み合わせるならば大面積のディスプレイを作ることができる。

【0073】

【発明の効果】以上述べてきたように、本発明は発光素子アレイ自身に自己走査機能をもたせることにより、従来例で挙げたワイヤボンディングの数の問題、駆動ICの問題、コンパクト化、短ピッチ化の問題を解決することができる。発光素子アレイが自己走査することにより駆動ICは不要となり、従ってワイヤボンディングが不要となる。

【0074】また本発明の自己走査形発光素子アレイは、密着イメージセンサ、光プリンタ、ディスプレイ等へ応用でき、これらの機器の性能向上、低価格化に大きく寄与することができる。

【図面の簡単な説明】

【図1】実施例A-1にて説明した自己走査形発光素子アレイの概略を示す回路図である。

【図2】実施例A-2にて説明した自己走査形発光素子アレイの概略を示す断面図である。

【図3】実施例A-3にて説明した自己走査形発光素子アレイの概略を示す平面図である。

【図4】実施例A-3にて説明した自己走査形発光素子アレイの概略を示す断面図である。

【図5】実施例A-3にて説明した自己走査形発光素子アレイの概略を示す断面図である。

【図6】実施例A-4にて説明した自己走査形発光素子アレイの概略を示す断面図である。

【図7】実施例A-5にて説明した自己走査形発光素子アレイの概略を示す平面図である。

【図8】実施例A-5にて説明した自己走査形発光素子アレイの概略を示す断面図である。

【図9】ダブルヘテロ構造の発光サイリスタの概略を示す断面図である。

【図10】実施例Bにて説明した発光素子アレイの駆動方法の概略を示す回路図および各パルスの波形を示す図

10

20

30

40

50

である。

【図11】応用例1で説明した密着形イメージセンサの概略を示す断面図である。

【図12】応用例2で説明した光プリンタの概略を示す断面図である。

【図13】応用例2で説明した光プリンタヘッドの概略を示す側面図である。

【図14】応用例2で説明した光ディスプレイの概略を示す平面図である。

【図15】発光サイリスタの概略構造を示す断面図である。

*

*【図16】発光サイリスタの電流-電圧特性を示す図である。

【符号の説明】

T 発光サイリスタ

ϕ_1, ϕ_2, ϕ_3 転送クロック

1 n形GaAs基板

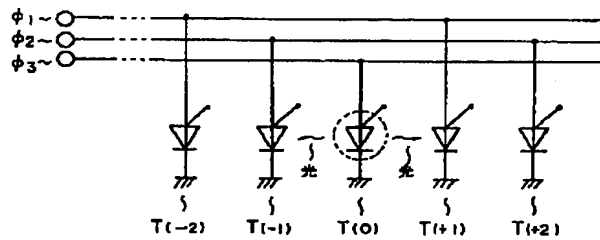
21, 23 p形半導体基板

22 n形半導体基板

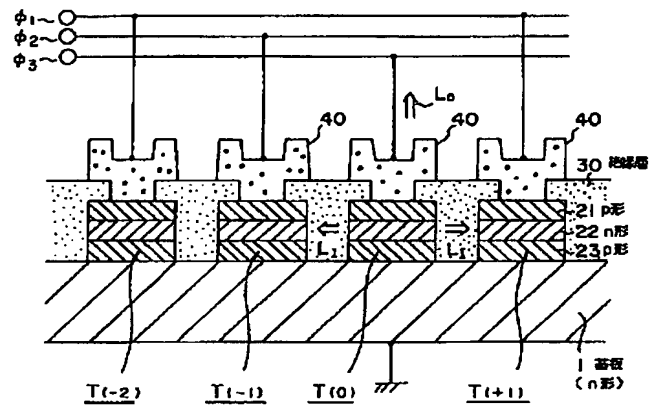
30 絶縁層

40 電極

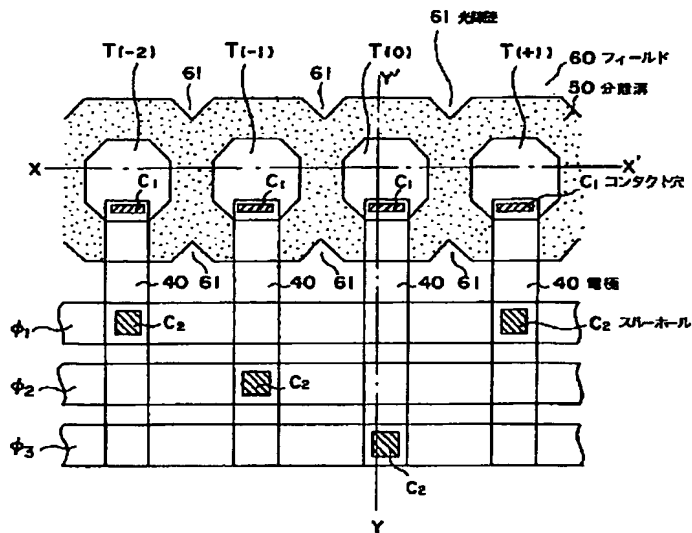
【図1】



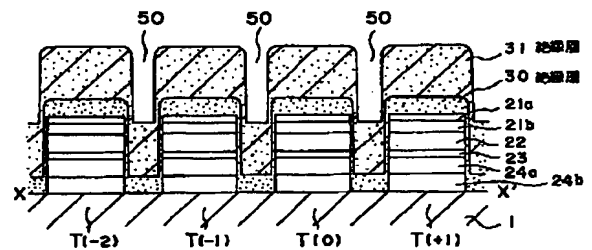
【図2】



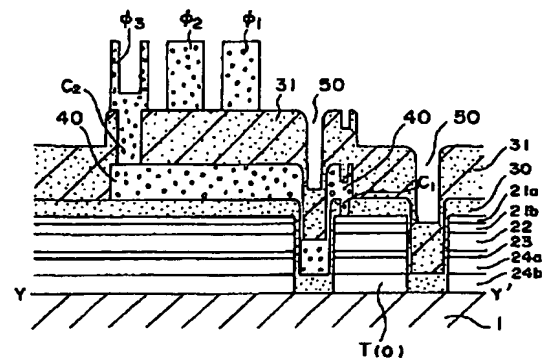
【図3】



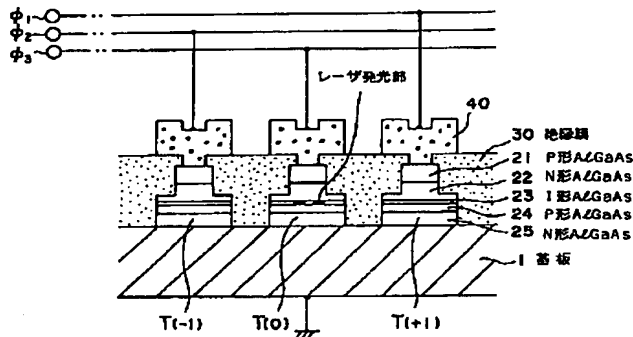
【図4】



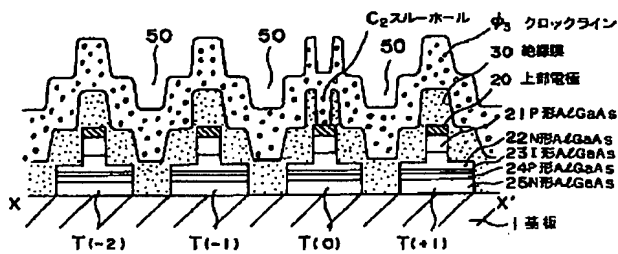
【図5】



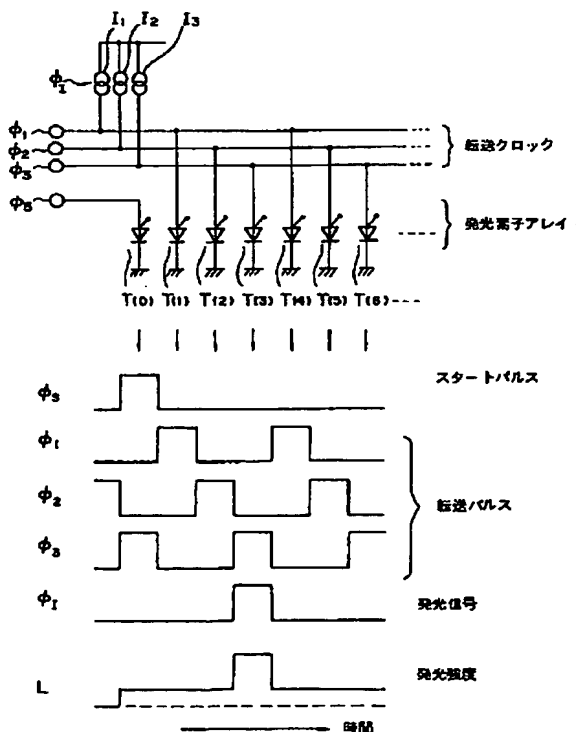
【図6】



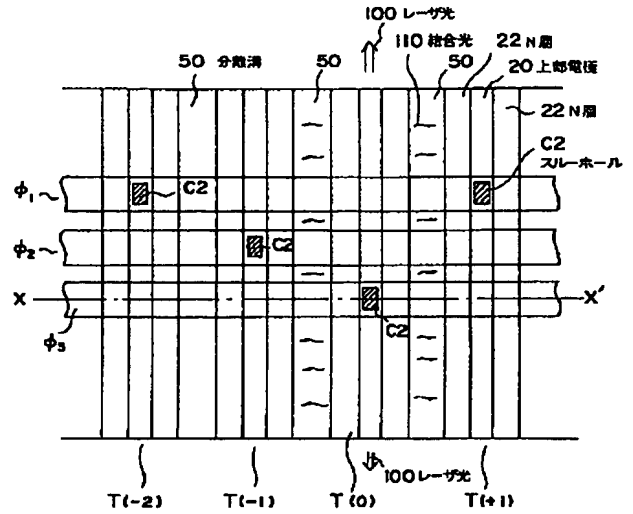
【図8】



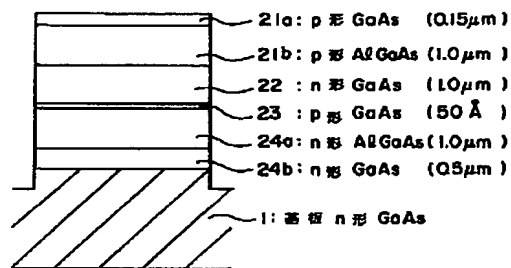
【図10】



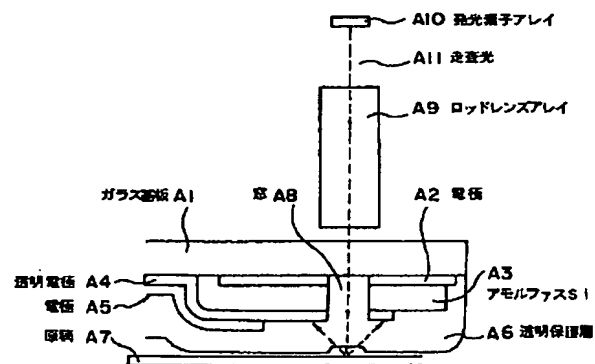
【図7】



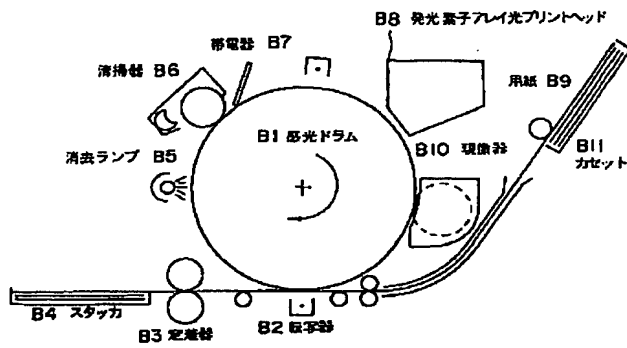
【図9】



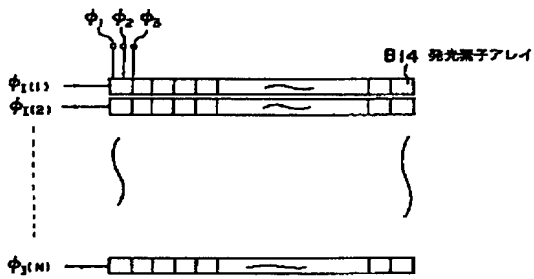
【図11】



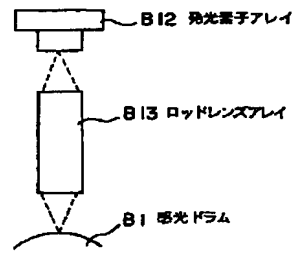
【図12】



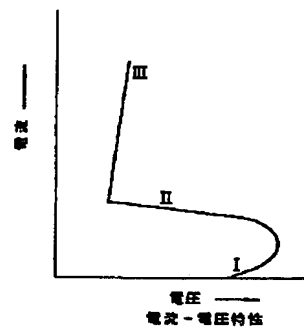
【図14】



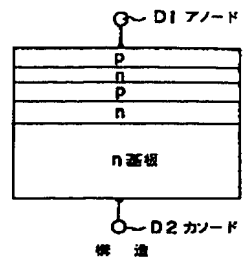
【図13】



【図16】



【図15】



フロントページの続き

(51) Int. Cl.⁶

H01L 29/74

33/00

H04N 5/66

識別記号

庁内整理番号

103

F I

H01L 29/74

技術表示箇所

E

(72) 発明者 田中 修平

大阪府大阪市中央区道修町3丁目5番11号

日本板硝子株式会社内